



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0075815
Application Number

출원 년 월 일 : 2003년 10월 29일
Date of Application OCT 29, 2003

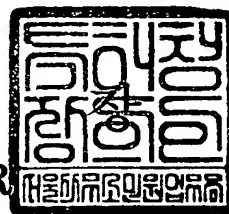
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0011
【제출일자】 2003.10.29
【국제특허분류】 G11C
【발명의 명칭】 부스트 기입 동작을 수반하는 메모리 셀 데이터 기입 방법 및 그 메모리 장치
【발명의 영문명칭】 Boost-writing method of memory cell data and memory device implementing the method
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 이영필
【대리인코드】 9-1998-000334-6
【포괄위임등록번호】 2003-003435-0
【대리인】
【성명】 정상빈
【대리인코드】 9-1998-000541-1
【포괄위임등록번호】 2003-003437-4
【발명자】
【성명의 국문표기】 정인영
【성명의 영문표기】 CHUNG, In Young
【주민등록번호】 700430-1831114
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 상록아파트 342동 902호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)

【수수료】

【기본출원료】	15	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	10	항	429,000	원
【합계】	458,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

부스트 기입 동작을 수반하는 메모리 셀 데이터 기입 방법 및 그 메모리 장치가 개시된다. 본 발명의 메모리 셀 데이터 기입 방법은 기입 명령에 응답하여 수신되는 입력 데이터를 비트라인으로 전달하는 단계와, 비트라인 상의 입력 데이터를 메모리 셀 트랜지스터를 통하여 메모리 셀 커패시터에 기입하는 단계와, 기입 명령 및 비트라인 프리차아지 신호에 응답하여 기입 부스팅 신호를 발생하는 단계와, 기입 부스팅 신호에 응답하여 기입 부스팅 신호와 비트라인 사이의 커패시터를 부스팅시키는 단계와, 커패시터의 부스팅에 의해 비트라인이 소정의 전압 레벨로 부스팅되는 단계와, 그리고 부스팅된 비트라인의 전압 레벨이 메모리 셀 커패시터에 재기입되는 단계를 포함한다. 본 발명에 의하면, 기입 부스팅 신호에 응답하는 부스트 기입 동작 동안 비트라인으로 기존의 전원 전압 보다 높은 전압 레벨로 메모리 셀 커패시터를 충전시키기 때문에, 메모리 셀 커패시터에 저장되는 전하량이 커진다.

【대표도】

도 3

【색인어】

부스트 기입 동작, 커패시터, 비트라인, 기입 부스팅 신호, 메모리 셀 커패시터,

【명세서】**【발명의 명칭】**

부스트 기입 동작을 수반하는 메모리 셀 데이터 기입 방법 및 그 메모리 장치

{Boost-writing method of memory cell data and memory device implementing the method}

【도면의 간단한 설명】

도 1은 본 발명의 일실시예에 따른 메모리 장치의 비트라인 구조를 보여주는 도면이다.

도 2는 본 발명의 기입 부스팅 신호 발생 회로를 설명하는 도면이다.

도 3은 본 발명의 메모리 장치의 기입 동작에 따른 타이밍 다이어그램을 보여주는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 기입 동작시 전원 전압 이상으로 부스팅된 비트라인 전압을 메모리 셀에 저장하는 메모리 셀 데이터 기입 방법 및 이를 수행하는 메모리 장치에 관한 것이다.

<5> DRAM은 1-트랜지스터와 1-커패시터로 구성되는 메모리 셀들을 포함한다. DRAM 셀은 커패시터에 차아지되는 전하량에 따라 데이터 "1" 또는 데이터 "0"을 저장한다. 데이터 "1"은 전원 전압(VCC) 레벨로, 그리고 데이터 "0"은 접지 전압(VSS) 레벨로 DRAM 셀 커패시터에 저장되는 것이 일반적이다. DRAM 셀의 특성상 커패시터에 저장된 데이터는 전하 누설되어 그 전압 레벨

이 점차 낮아진다. 특히, 데이터 "1"은 전하 누설되는 요소를 감안하여 높은 전압 레벨로 저장되는 것이 이상적이다.

<6> DRAM 셀에 저장된 데이터는 비트라인으로 차아지 세어링되어 비트라인 센스 앰프에 의해 감지 증폭된다. 이 때, 데이터 "1"을 저장하는 셀 커패시터의 전하량과 데이터 "0"을 저장하는 셀 커패시터의 전하량의 차이가 클수록 비트라인 센스 앰프의 센싱 효율이 커진다는 것은 당업자에게 잘 알려진 기술이다. 셀 커패시터의 전하량을 크게 하기 위한 방안으로, 셀 커패시턴스를 키우는 방법이 있다. 그런데, 셀 커패시턴스를 키우는 방법은 칩 사이즈의 증대와 반도체 공정 상의 제약으로 한계가 있다.

<7> 한정된 커패시턴스를 갖는 셀 커패시터에 차아지되는 전하량을 가지고 센싱 효율을 크게 하기 위하여, 비트라인 커패시턴스를 줄여서 셀 커패시터에서 비트라인으로 차아지 세어링된 후의 비트라인 전압을 높이는 방법이 있다. 센싱 시 비트라인 전압을 높이는 다른 방법으로 셀 커패시터에 차아지되는 전하량 자체를 크게 키우는 방법을 생각할 수 있다.

<8> 그러므로, DRAM 셀 커패시터에 데이터 "1"을 기입할 때 기존의 전원 전압(VCC) 보다 높은 전압 레벨로 셀 커패시터를 충전시킨다면, 셀 커패시터에 저장되는 전하량이 커지는 결과를 가져온다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명의 목적은 전원 전압 이상으로 부스팅되는 전압 레벨로 메모리 셀 데이터 기입 방법을 제공하는 데 있다.

<10> 본 발명의 다른 목적은 상기 데이터 기입 방법을 수행하는 메모리 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <11> 상기 목적을 달성하기 위하여, 본 발명의 메모리 셀 데이터 기입 방법은 기입 명령에 응답하여 수신되는 입력 데이터를 비트라인으로 전달하는 제1 단계; 비트라인 상의 입력 데이터를 메모리 셀 트랜지스터를 통하여 메모리 셀 커패시터에 기입하는 제2 단계; 기입 명령 및 비트라인 프리차아지 신호에 응답하여 기입 부스팅 신호를 발생하는 제3 단계; 기입 부스팅 신호에 응답하여 기입 부스팅 신호와 비트라인 사이의 커패시터를 부스팅시키는 제4 단계; 커패시터의 부스팅에 의해 비트라인이 소정의 전압 레벨로 부스팅되는 제5 단계; 및 부스팅된 비트라인의 전압 레벨이 메모리 셀 커패시터에 재기입되는 제6 단계를 포함한다.
- <12> 상기 다른 목적을 달성하기 위하여, 본 발명의 메모리 장치는 메모리 셀 트랜지스터들의 게이트들이 각각 연결되는 워드라인들; 메모리 셀 트랜지스터들의 드레인들과 각각 연결되는 비트라인들; 메모리 셀 트랜지스터들의 소스들과 각각 연결되는 메모리 셀 커패시터들; 기입 명령과 비트라인 프리차아지 신호, 그리고 선택되는 메모리 셀 트랜지스터가 포함되는 메모리 셀 어레이를 선택하는 블락 디코딩 신호에 응답하여 기입 부스팅 신호를 발생하는 기입 부스팅 신호 발생 회로; 및 비트라인들과 기입 부스팅 신호 사이에 연결되는 커패시터들을 포함한다.
- <13> 바람직하기로, 기입 부스팅 신호 발생 회로는 전원 전압에 그 소스가 연결되고 비트라인 프리차아지 신호에 그 게이트가 연결되는 피모스 트랜지스터; 접지 전압에 그 소스가 연결되고 비트라인 센싱 신호에 그 게이트가 연결되고 피모스 트랜지스터의 드레인에 그 드레인이 연결되는 엔모스 트랜지스터; 피모스 트랜지스터와 엔모스 트랜지스터의 드레인들에 연결되는 래치부; 래치부의 출력과 상기 기입 명령을 입력하는 제1 낸드 게이트; 낸드 게이트의 출력을 반전시키는 인버터; 및 전원 전압 보다 높은 승압 전압이나 외부 전원 전압으로 구동되고, 인버터

의 출력과 블락 디코딩 신호를 입력하여 기입 부스팅 신호를 출력하는 제2 낸드 게이트를 포함한다.

<14> 따라서, 본 발명에 의하면, 기입 부스팅 신호에 응답하는 부스트 기입 동작 동안 비트라인으로 기존의 전원 전압 보다 높은 전압 레벨로 메모리 셀 커패시터를 충전시키기 때문에, 메모리 셀 커패시터에 저장되는 전하량이 커진다.

<15> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<16> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<17> 도 1은 본 발명의 일실시예에 따른 메모리 장치의 비트라인 구조를 보여주는 도면이다. 이를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 비트라인 아이소레이션부(120), 센스앰프부(130), 그리고 비트라인 커패시터부(140)를 포함한다. 메모리 셀 어레이부(110)에는 워드라인들(WL0, WL1, WL2, WLn-2, WLn-1, WLn)과 비트라인(BL) 및 상보 비트라인(BLB)의 교차점에 메모리 셀들(MC0, MC1, MC2, MCn-2, MCn-1, MCn)이 배열된다. 비트라인 아이소레이션부(120)는 비트라인 아이소레이션 신호(ISO)에 응답하는 트랜지스터들(121, 122)을 통해 비트라인(BL)과 상보 비트라인(BLB)을 센스앰프부(130)와 선택적으로 연결시킨다. 비트라인 센스앰프부(130)는 비트라인(BL) 및 상보 비트라인(BLB)으로 전달되는 메모리 셀 데이터를 감지 증폭한다. 비트라인 커패시터부(140)는 기입 부스팅 신호(WKR)와 비트라인(BL) 및 상보 비트라인(BLB) 사이에 커패시터들(141, 142)을 포함한다.

<18> 기입 부스팅 신호(WKR)는 도 2의 기입 부스팅 신호 발생 회로(200)에 의해 제공된다. 도 2를 참조하면, 기입 부스팅 신호 발생 회로(200)는 기입 명령(WRITE) 동안 해당 메모리 셀 어레이(110, 도 1)를 선택하는 블록 디코딩 신호(DBRAi)가 활성화될 때 프리차이지 신호(/PRECH)에 응답하여 기입 부스팅 신호(WKRi)를 발생시킨다. 즉, 기입 명령(WRITE)과 블록 디코딩 신호(DBRAi)가 로직 하이레벨로 활성화될 때 로직 로우레벨의 프리차이지 신호(/PRECH)에 의해 외부 전원 전압(EVC) 또는 승압 전압(VPP) 레벨의 기입 부스팅 신호(WKR)가 발생된다.

<19> 도 3은 기입 부스팅 신호 발생 회로(200)와 연계되어 동작되는 메모리 장치(100)의 기입 동작에 따른 타이밍 다이어그램을 보여주는 도면이다. 이를 참조하면, 메모리 장치의(100)의 기입 동작은 정상 기입 동작과 부스트 기입 동작으로 나누어지고, 이 후 프리차이지 동작이 이어진다.

<20> 정상 기입 동작은 비트라인(BL)과 상보 비트라인(/BL) 사이에 벌어진 전압 레벨, 예컨대, 전원 전압(VCC)과 접지 전압(VSS) 레벨로 메모리 셀들(MC0, MC1, MC2, MCn-2, MCn-1, MCn)에 데이터 기입이 이루어진다. 로직 하이레벨로 비활성화된 프리차이지 신호(/PRECH), 로직 로우레벨의 활성화된 비트라인 센싱 신호(/BSENSE), 로직 하이레벨로 활성화된 기입 명령(WRITE), 그리고 로직 하이레벨로 활성화된 블록 디코딩 신호(DBRAi)에 응답하여 기입 부스팅 신호(WKRi)가 접지 전압(VSS) 레벨로 발생된다. 그리고 비트라인 아이소레이션 신호(ISOi)의 승압 전압(VPP) 레벨은 기입 데이터의 전압 레벨을 트랜지스터들(121, 122)의 전압 강하 없이 비트라인(BL)과 상보 비트라인(/BL)으로 전달시킨다.

<21> 부스트 기입 동작은 정상 기입 동작에서 비트라인(BL)과 상보 비트라인(/BL) 사이에 전원 전압(VCC)과 접지 전압(VSS) 레벨로 벌어진 전압 차를 ΔV 만큼 더 벌려 전원 전압(VCC)+ ΔV 전압 레벨과 접지 전압(VSS) 레벨로 메모리 셀들(MC0, MC1, MC2, MCn-2, MCn-1, MCn)에 데이터

기입이 이루어진다. 로직 로우레벨로 활성화된 프리차아지 신호(/PRECH), 로직 하이레벨의 비 활성화된 비트라인 센싱 신호(/BSENSE), 로직 하이레벨로 활성화된 기입 명령(WRITE), 그리고 로직 하이레벨로 활성화된 블록 디코딩 신호(DBRAi)에 응답하여 기입 부스팅 신호(WKRI)가 승압 전압(VPP) 레벨 또는 외부 전원 전압(EVC) 레벨로 발생된다. 그리고 비트라인 아이소레이션 신호(ISOi)는 승압 전압(VPP) 레벨에서 전원 전압(VCC) 레벨로 천이되어 트랜지스터들(121, 122)을 선택적으로 턴오프시킨다. 승압 전압(VPP) 레벨 또는 외부 전원 전압(EVC) 레벨의 기입 부스팅 신호(WKRI)에 응답하여 커패시터들(141, 142)이 부스팅되어 비트라인(BL)과 상보 비트라인(/BL)의 전압레벨이 ΔV 만큼 부스팅된다. 비트라인(BL)은 전원 전압(VCC) 레벨에다가 ΔV 만큼 부스팅된 $VCC + \Delta V$ 전압 레벨이 되고 트랜지스터(121)가 턴오프되어, 비트라인(BL)의 $VCC + \Delta V$ 전압 레벨이 선택된 메모리 셀로 기입된다. 상보 비트라인(/BL)은 접지 전압(VSS) 레벨에다가 ΔV 만큼 부스팅되어 $VSS + \Delta V$ 전압 레벨이 되지만, 턴온된 트랜지스터(122)를 통해 센스 앰프부(130)의 동작에 의해 다시 접지 전압(VSS) 레벨이 된다. 상보 비트라인(/BL)의 접지 전압(VSS) 레벨이 선택된 메모리 셀로 기입된다.

<22> 프리차아지 동작은 메모리 셀들(MC0, MC1, MC2, MCn-2, MCn-1, MCn)로의 기입 동작이 끝나고 다음의 독출 명령(READ) 또는 기입 명령(WRITE)을 준비하기 위하여 비트라인(BL)과 상보 비트라인(/BL)을 비트라인 프리차아지 전압(VBL)으로 프리차아지시킨다. 로직 로우레벨로 비활성화되는 기입 명령(WRITE)과 로직 로우레벨로 비활성화되는 블록 디코딩 신호(DBRAi)에 응답하여 승압 전압(VPP) 레벨 또는 외부 전원 전압(EVC) 레벨의 기입 부스팅 신호(WKRI)가 유지되고, 접지 전압(VSS) 레벨의 비트라인 아이소레이션 신호(ISO)에 의해 트랜지스터들(121, 122)이 되어 비트라인(BL) 및 상보 비트라인(/BL)이 센스앰프부(130)와 차단된다. 비트라인(BL)과

상보 비트라인(/BL)에 연결된 프리차아지 회로(미도시)에 의해 비트라인(BL)과 상보 비트라인(/BL)은 비트라인 프리차아지 전압(VBL)으로 프리차아지된다.

<23> 본 발명에 따른 부스트 기입 동작은 비트라인(BL)으로 기존의 전원 전압(VCC) 보다 높은 전압 레벨, 즉 $VCC + \Delta V$ 전압 레벨로 메모리 셀 커패시터를 충전시키기 때문에, 메모리 셀 커패시터에 저장되는 전하량이 커진다. 이에 따라 메모리 셀 데이터 독출 동작시 센싱 효율이 향상된다.

<24> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<25> 상술한 본 발명에 의하면, 기입 부스팅 신호에 응답하는 부스트 기입 동작 동안 비트라인으로 기존의 전원 전압(VCC) 보다 높은 전압 레벨, 즉 $VCC + \Delta V$ 전압 레벨로 메모리 셀 커패시터를 충전시키기 때문에, 메모리 셀 커패시터에 저장되는 전하량이 커진다. 이에 따라, 메모리 셀 데이터 독출 동작시 센싱 효율이 향상된다.

【특허청구범위】**【청구항 1】**

메모리 장치의 메모리 셀 데이터 기입 방법에 있어서,

기입 명령에 응답하여 수신되는 입력 데이터를 비트라인으로 전달하는 제1 단계;

상기 비트라인 상의 입력 데이터를 메모리 셀 트랜지스터를 통하여 메모리 셀 커패시터에 기입하는 제2 단계;

상기 기입 명령 및 비트라인 프리차아지 신호에 응답하여 기입 부스팅 신호를 발생하는 제3 단계;

상기 기입 부스팅 신호에 응답하여 상기 기입 부스팅 신호와 상기 비트라인 사이의 커패시터를 부스팅시키는 제4 단계;

상기 커패시터의 부스팅에 의해 상기 비트라인이 소정의 전압 레벨로 부스팅되는 제5 단계; 및

상기 부스팅된 비트라인의 전압 레벨이 상기 메모리 셀 커패시터에 재기입되는 제6 단계를 구비하는 것을 특징으로 하는 메모리 셀 데이터 기입 방법.

【청구항 2】

제1항에 있어서, 상기 기입 부스팅 신호는

상기 메모리 장치의 전원 전압 보다 높은 승압 전압 레벨이나 외부 전원 전압 레벨로 발생하는 것을 특징으로 하는 메모리 셀 데이터 기입 방법.

【청구항 3】

제1항에 있어서, 상기 제1 단계는

상기 비트라인과 센스앰프 사이에 연결되는 아이소레이션 트랜지스터들의 게이트들이 전원 전압 보다 높은 승압 전압 레벨 또는 외부 전원 전압 레벨로 인가되어 상기 아이소레이션 트랜지스터들이 턴온되는 것을 특징으로 하는 메모리 셀 데이터 기입 방법.

【청구항 4】

제1항에 있어서, 상기 제6 단계는

상기 비트라인과 센스앰프 사이에 연결되는 아이소레이션 트랜지스터들의 게이트들이 전원 전압 레벨로 인가되는 것을 특징으로 하는 메모리 셀 데이터 기입 방법.

【청구항 5】

제4항에 있어서, 상기 메모리 셀 데이터 기입 방법은

상기 입력 데이터가 로직 하이레벨일 때 상기 아이소레이션 트랜지스터들이 턴오프되는 것을 특징으로 하는 메모리 셀 데이터 기입 방법.

【청구항 6】

제4항에 있어서, 상기 메모리 셀 데이터 기입 방법은

상기 입력 데이터가 로직 로우레벨일 때 상기 아이소레이션 트랜지스터들이 턴온되어 상기 센스앰프부에 의해 상기 부스팅된 비트라인 전압이 접지 전압 레벨이 되는 것을 특징으로 하는 메모리 셀 데이터 기입 방법.

【청구항 7】

메모리 셀 트랜지스터들의 게이트들이 각각 연결되는 워드라인들;

상기 메모리 셀 트랜지스터들의 드레인들과 각각 연결되는 비트라인들;

상기 메모리 셀 트랜지스터들의 소스들과 각각 연결되는 메모리 셀 커패시터들;

기입 명령과 비트라인 프리차이지 신호, 그리고 선택되는 메모리 셀 트랜지스터가 포함되는 메모리 셀 어레이를 선택하는 블록 디코딩 신호에 응답하여 기입 부스팅 신호를 발생하는 기입 부스팅 신호 발생 회로; 및

상기 비트라인들과 상기 기입 부스팅 신호 사이에 연결되는 커패시터들을 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 8】

제7항에 있어서, 상기 기입 부스팅 신호 발생 회로는

전원 전압에 그 소스가 연결되고 상기 비트라인 프리차이지 신호에 그 게이트가 연결되는 피모스 트랜지스터;

접지 전압에 그 소스가 연결되고 비트라인 센싱 신호에 그 게이트가 연결되고 상기 피모스 트랜지스터의 드레인에 그 드레인이 연결되는 엔모스 트랜지스터;

상기 피모스 트랜지스터와 상기 엔모스 트랜지스터의 드레인들에 연결되는 래치부;

상기 래치부의 출력과 상기 기입 명령을 입력하는 제1 낸드 게이트;

상기 낸드 게이트의 출력을 반전시키는 인버터; 및

상기 전원 전압 보다 높은 승압 전압이나 외부 전원 전압으로 구동되고, 상기 인버터의 출력과 상기 블록 디코딩 신호를 입력하여 상기 기입 부스팅 신호를 출력하는 제2 낸드 게이트를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 9】

제7항에 있어서, 상기 메모리 장치는

상기 비트라인의 전압 레벨을 감지 증폭하는 센스앰프부; 및

상기 비트라인과 상기 센스앰프부 사이에 비트라인 아이소레이션 신호에 게이팅되는 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

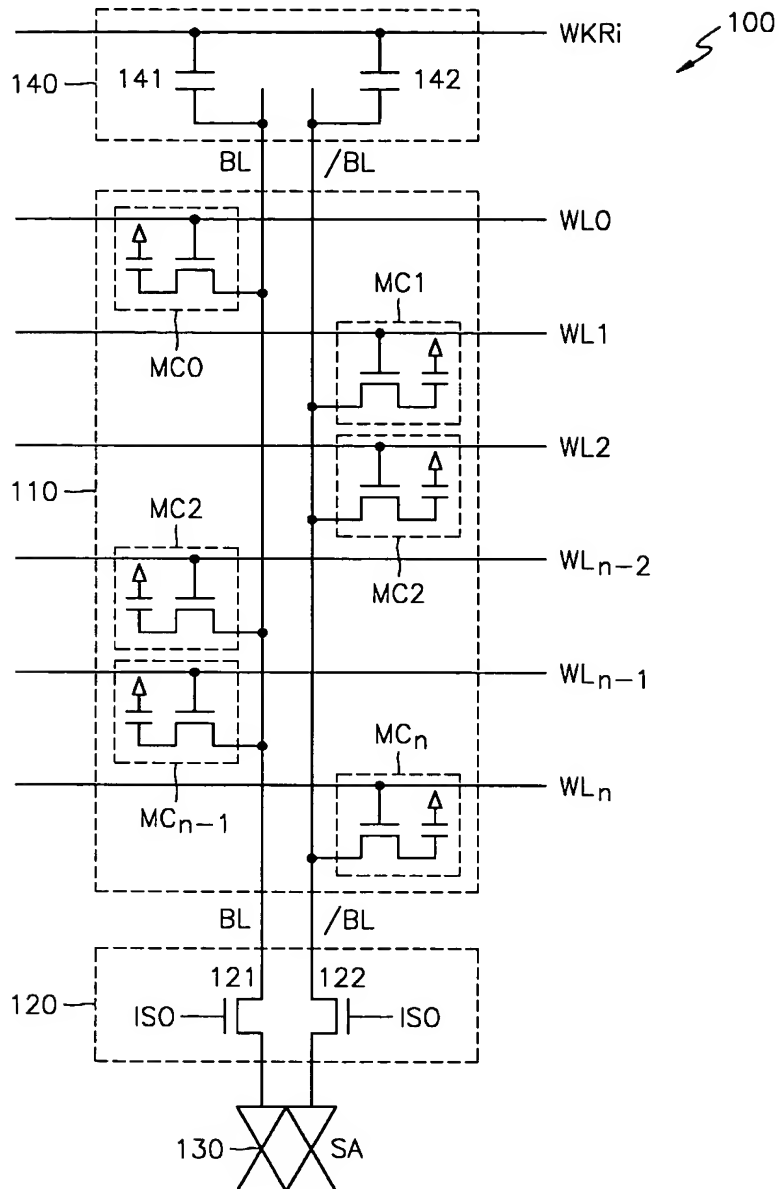
【청구항 10】

제9항에 있어서, 상기 비트라인 아이소레이션 신호는

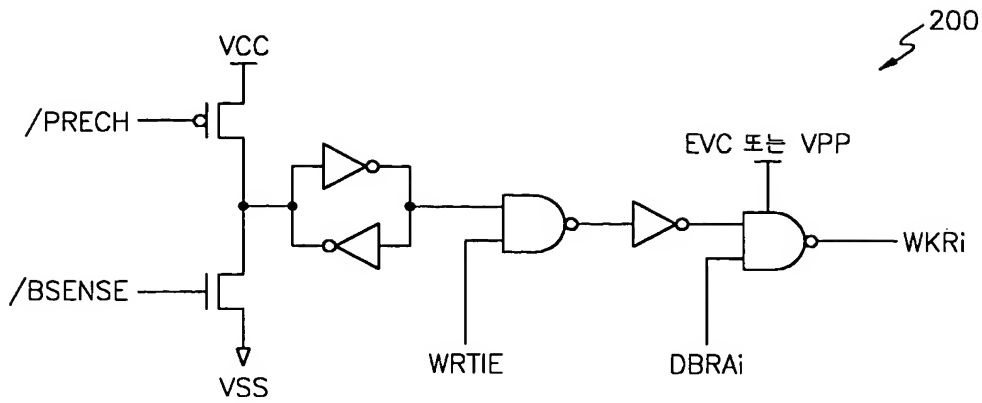
상기 기입 부스팅 신호가 비활성화일 때 상기 메모리 셀 커패시터로의 데이터 기입시 승압 전압 레벨을 갖고, 상기 기입 부스팅 신호가 활성화일 때 상기 메모리 셀 커패시터로의 데이터 기입시 전원 전압 레벨을 갖는 것을 특징으로 하는 메모리 장치.

【도면】

【도 1】



【도 2】



【도 3】

